For Office use	Space for Digital Data

தமிழ் நாடு அரசு

தொழில்நுட்பக் கல்வித் துறை, சென்னை 600 025 – வாரியத் தேர்வுகள்

அடுத்தப் பக்கத்தில் கொடுக்கப்பட்டுள்ள குறிப்புகளை படிக்கவும் (Read the instructions given in the next page)

Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C
1.				9.				17.				25.			
2.				10.				18.				26.			
3.				11.				19.				27.			
4.				12.				20.				28.			
5.				13.				21.				29.			
6.				14.				22.				30.			
7.				15.				23.				31.			
8.				16.				24.				Total Marks			

For Revaluation

For Central Valuation

Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C
1.	3			9.	3			17.				25.			
2.	3			10.	3			18.				26.			
3.	3			11.	2			19.				27.			
4.	3			12.	12	(0) extra		20.				28.			
5.	3			13.	13	(0) extra		21.				29.			
6.	2			14.	12	(6) extra		22.				30.			
7.	2			15.	12			23.							
8.	3			16.				24.							
	22				57										

591-2242-23491611

Question Paper Code No. / வினாத்தாளின் குறியீட்டு எண்: 2 2 4 2

No. of Pages Written / எழுதப்பட்ட பக்கங்களின் எண்ணிக்கை: 30

Date of Examination : / தேர்வு நாள்: 16/11/24

Subject Name : / பாடத்தின் பெயர்: Very large scale Integration

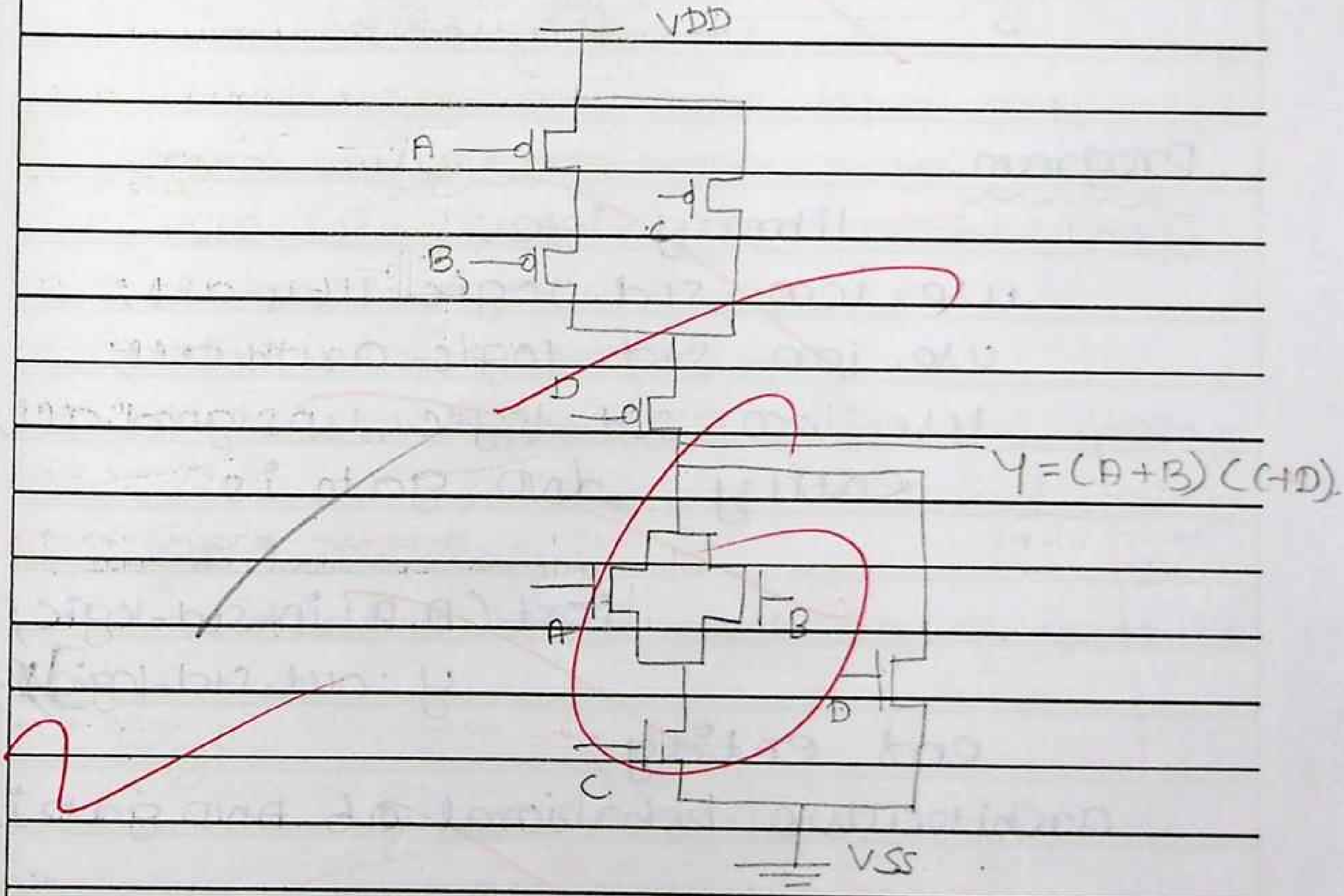
தேர்வாளர்களுக்கான அறிவுரைகள்
INSTRUCTIONS TO CANDIDATES

1. விடைத்தாள் மாற்றிப் பெறுவதற்கு.
   Get the answer book replaced, if
   - விடைத்தாள் சரியாக சேர்ந்து பின் செய்யப்படாமல் இருந்தால்.
   - it is not stapled properly
   - விடைத்தாள் புத்தகப் பக்கங்களின் வரிசை எண் விடுபட்டிருந்தாலோ அல்லது வரிசையாக இல்லாமலிருந்தாலோ (மொத்தம் 30 பக்கங்கள்).
   - the page numbers are missing or not in order (there shall be 30 pages continuously numbered)
   - தலைப்பு பக்கத்தில் விடைத்தாள் புத்தகத்தின் கீழ்பகுதியில் வரிசை எண் அச்சிடப்படாமலிருந்தால்.
   - the serial number of the answer book is not printed at the bottom of the title page
2. உங்களுடைய பதிவு எண்ணையும், பெயரையும் அதற்காக கொடுக்கப்பட்டுள்ள தலைப்பு பக்கத்தின் கீழ்பகுதியில் மட்டும் எழுதவும்; அதைத் தவிர்த்து பதிவு எண், பெயர் ஆகியவற்றை விடைத்தாளில் மற்றப் பக்கங்களில் எழுதக்கூடாது. எந்தவிதமான அடையாளக் குறியீட்டையும் விடைத்தாளில் எழுதக்கூடாது.
   You are prohibited from writing your REGISTER NUMBER or NAME in any part of the answer book, other than the space provided at the bottom of the title page. You are prohibited from writing or leaving any distinguishing marks so as to identify your answer book.
3. தலைப்புப் பக்கத்தில் கொடுக்கப்பட்டுள்ள அதற்குரிய கட்டங்களில் விவரங்களை எழுதவும்.
   Fill up all the particulars, in the relevant boxes, in the title page.
4. கேள்விகளுக்கு பதில் எழுதும் போது விடைத்தாளில் இரண்டு பக்கங்களையும் பயன்படுத்த வேண்டும். பக்கங்களில் தொடர்ந்து விடை எழுதாமல் வெற்றிடம் விடக் கூடாது.
   Use both sides of the paper for answering questions, without leaving spaces/ lines in between.
5. இந்த விடைத்தாள் புத்தகம் போதுமான பக்கங்களை கொண்டிருக்கிறது. இதைத் தவிர கூடுதல் விடைத்தாள் அளிக்கப்படமாட்டாது.
   This answer book contains sufficient pages and no additional sheets will be issued.
6. கேள்விக்கு விடையளிக்கும் முன்பு வினாத்தாள் எண், வருடம், மாதம், காலம் இவைகளை சரிபார்க்கவும்.
   Check the Code Number, Month and year of Examination, Duration etc., in the question paper before answering the questions.
7. கொடுக்கப்பட்டுள்ள வரைப்படத்தாள் / கிராப் ஷுட் தவிர வேறு எந்த விடைத்தாளையும் சேர்க்க கூடாது. விடைத்தாள் புத்தகத்திலிருந்து எந்த பக்கத்தையும் கிழிக்கக் கூடாது.
   No extra sheet is to be attached except the drawing/graph sheets supplied and no sheet is to be teared from the answer book.
8. கைபேசி, துண்டுக் காகிதம் மற்றும் தடை செய்யப்பட்ட இதர பொருட்கள் வைத்திருத்தல், தேர்வுக்கு எதிரான முறைகேடுகளில் ஈடுபடுதல் அனைத்தும் தேர்வு வாரிய விதிகளின்படி தண்டனைக்குரிய குற்றமாகும்.
   POSSESSION OF ANY PROHIBITED MATERIAL, CELL PHONE, BITS OF PAPERS, etc., AND INVOLVEMENT IN MALPRACTICE OF ANY NATURE

PART - B

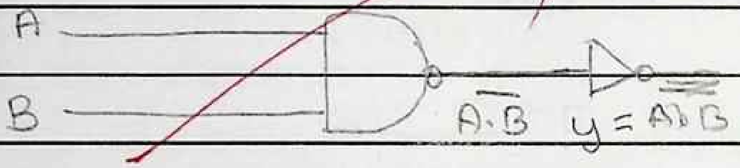
11. a) Implement the Function Y = (A+B) (C+D) using CMOS.

$Y = (A+B) \cdot (C+D)$



1Q) a) Write a VHDL code for logic gates AND, OR and NOT.

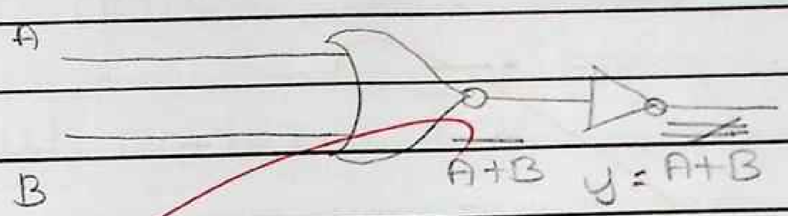
i) AND gate.



Program:

```
library ieee;
use. ieee- std- logic- 1164.all;
use. ieee- std- logic- arith.all;
use. ieee- std- logic- unsigned.all;
entity AND gate is
    Port (A, B : in-std-logic;
          y : out-std-logic);
end entity;
architecture behavioral of AND gate is
begin
    y <= A AND B;
end architecture;
```

ii) OR gate.



program:

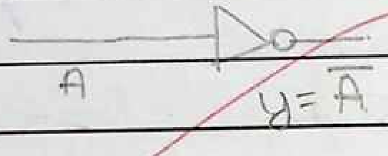
```
        library ieee;
use. ieee- std- logic- 1164. all;
use. ieee- std- logic- arith. all;
use. ieee- std- logic- unsigned. all;
    entity OR gate is

            port ( A, B : in-std-logic;
                   y : out- std-logic);
 end entity;
architecture behavioral of OR gate is

begin
      y <= A OR B ;

end architecture;
```

iii) NOT gate.



Program:

```
library ieee;
use. ieee-std-logic-1164.all;
use. ieee-std-logic-arith.all;
use. ieee-std-logic-unsigned.all;
entity NOT gate is
port(A : in-std-logic;
Ā : out-
port(A: in-std-logic;
y : out-std-logic;
end entity;
architecture behavioral of NOTgate is
begin
y <= NOT A;
end architecture;
```

a)
13) Write a VHDL program for Full adder and Full subtractor.

i) Full adder.

A, B, C → input.
sum, carry → output.

A	B	C	Sum	carry
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$sum = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$

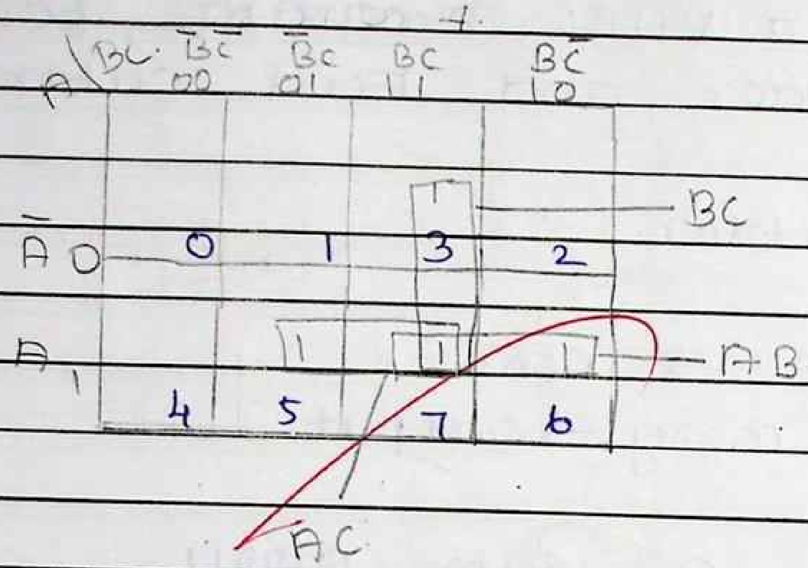
$= \bar{A}(BC + BC)\ A(\bar{B}\bar{C} + BC)$

$= \bar{A}(B \oplus C)\ A(B \overline{\oplus} C)$

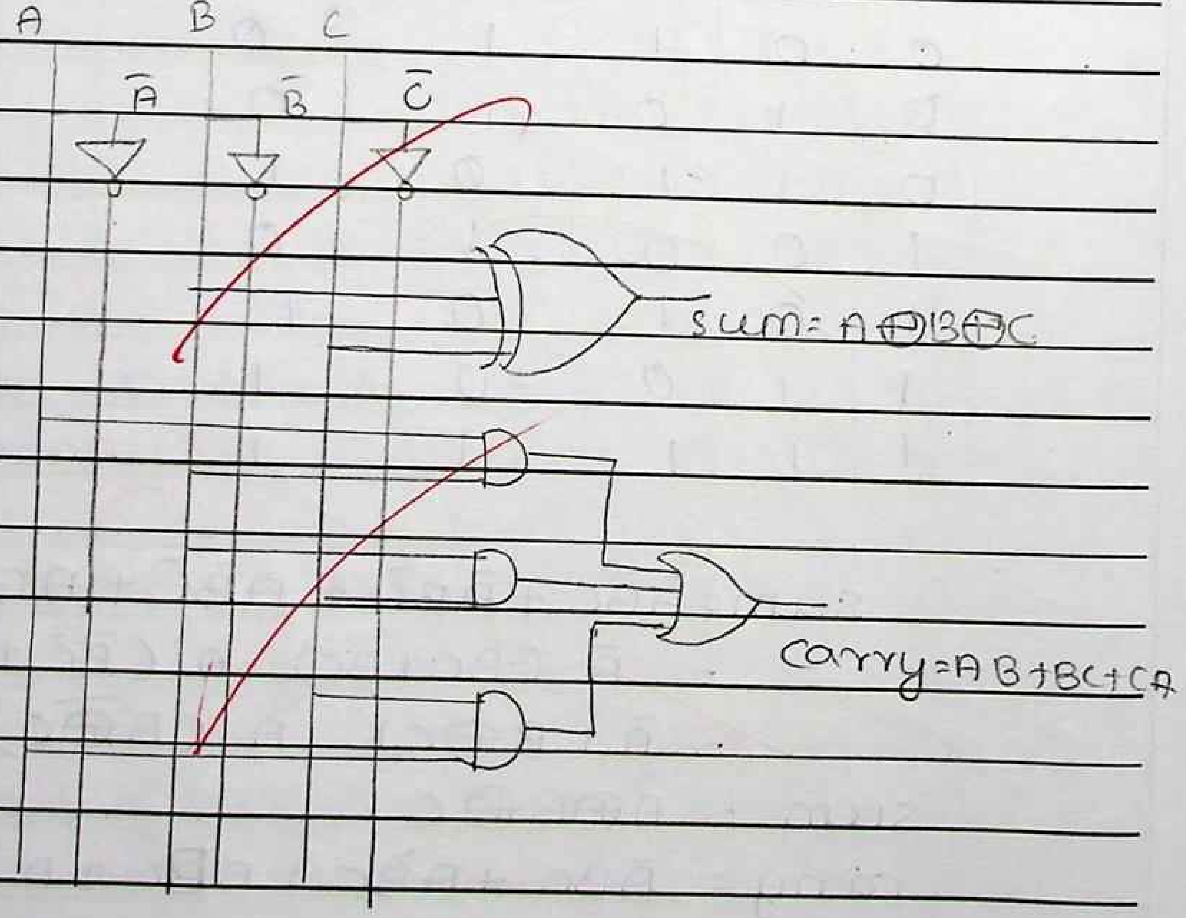
$sum = A \oplus B \oplus C$

$carry = \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$

3, 5, 6, 7



carry = AB + BC + CA



Program:

```
library ieee;
use. ieee- std- logic- 1164.all;
use. ieee - std - logic - arith. all;
use. ieee - std - logic - unsigned. all;
entity Fulladder is

port ( A,B,C: in-std-logic;
        sum, carry: out-std-logic);
end entity;
architecture behavioral of Fulladder is

begin.
    sum <= A xor B xor C;
    carry <=((A AND B) or (B AND C) or
              (C AND A));
end architecture;
```

iii) Full subtractor.

A, B, C → input

Difference, Barrow → output.

A	B	C	DiFF	Barrow.
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1.

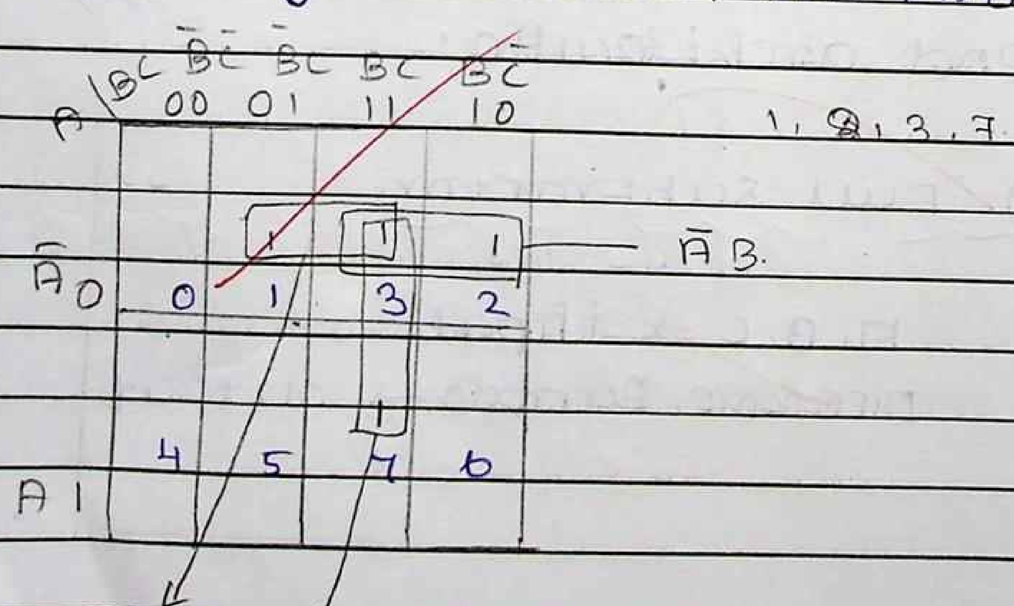
DiFF = $\bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$

$= \bar{A}(BC + BC)\ A(\bar{B}\bar{C} + BC)$

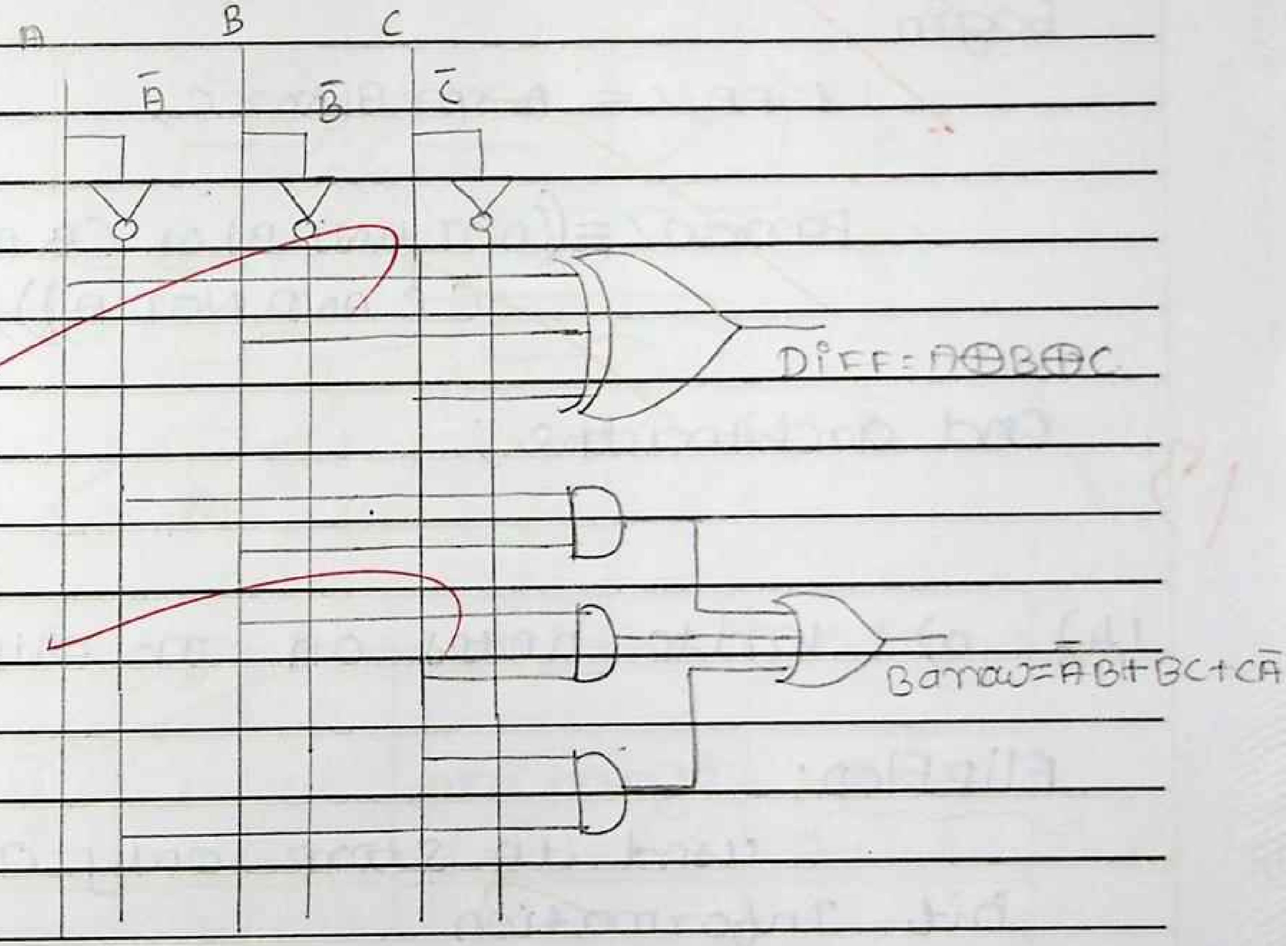
$= \bar{A}(B \oplus C)\ A(\overline{B \oplus C})$

DiFF = $A \oplus B \oplus C$

Barrow ~~carry~~ = $\bar{A}BC + A\bar{B}C + AB\bar{C} + ABC$



~~Carry~~ Barrow = $\bar{A}B + BC + C\bar{A}$



Program:

library ieee;
use.ieee-Std-logic-1164.all;
use.ieee-Std-logic-arith.all;
use. ieee-Std-logic-unsigned.all;
entity Half subtractor is
Port(A,B,C:in-Std-logic;
DiFF, Barrow:out-Std-logic);
end entity;

architocutre behavioral of Fullsubtractor is

begin

DiFF / = A xor B xor C;

Barrao / = ((NOT AND B) or (B ANDC) or (C AND NOT A));

end architocutre;

13

14) a) write notes on JK Flip Flop.

Flip Flop:

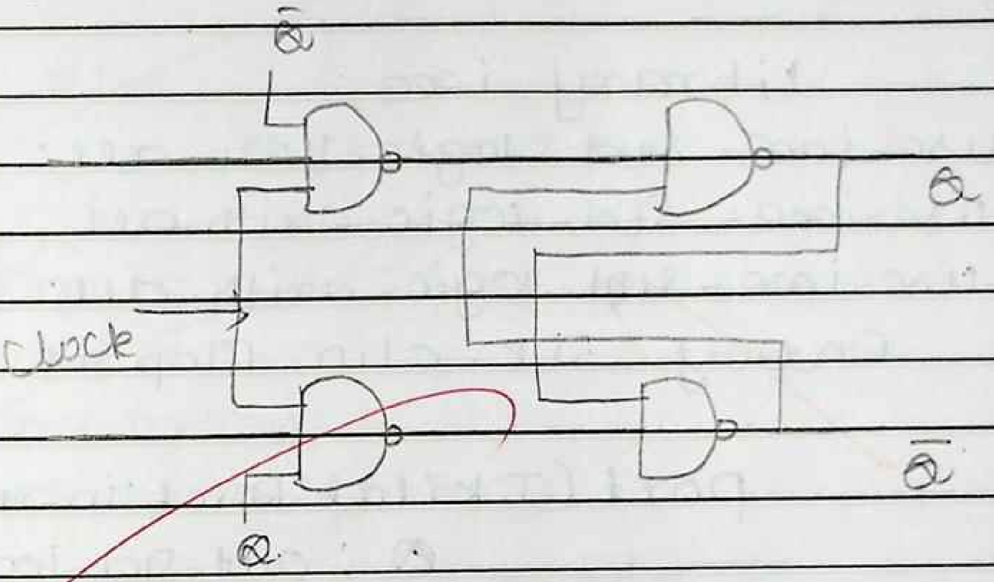
* used to store only one bit Information.

* That's called FilpFlop.

Types:

* JK Flip Flop
* D Flip Flop
* T Flip Flop
* JKMS FlipFlop

JK Flip Flop.



clock	J	K	condition	O/P.
⎍	0	0	No change	Q = Q
⎍	0	1	Reset	Q = 0
⎍	1	0	set	Q = 1
⎍	1	1	Toggle	$Q = \bar{Q}$

Program:

```
library ieee;
use.ieee-std-logic-1164.all;
use.ieee-std-logic-arith.all;
use.ieee-std-logic-arith.all;
entity JK Flip Flop is

port(J,K,Clock,Reset:in-std-logic;
Q: out-std-logic);
end entity;
architecture behavioral of JK FlipFlop is
begin
Process(J,K,Clock,Reset)

begin
if (Reset='1') then
Q<='0';

elsif clock event and clock='1' then
(J=0 and K=0) then
Q<='0';

elsif (J=0 and K=1) then
Q<='0';
```

elsif (J = 1 and K = 0) then
Q <= '1' ;
else
Q <= NOT Q ;

end if;
end if;
end process;
end architecture;

15) b) Draw and Explain the architecture of FPGA.

FPGA :

FPGA → Field programmable gate array

* FPGA என்பது SPLD மற்றும் CPLD ஒரு chip-ல் இருக்கு மாறுபட்டு காணப்படும்.

* சிறிய அளவு கொண்ட logic circuit இருந்து SPLD அதை பயன்படுகிறது.

* இதில் PAL அதை போலவே 8 macro cell-களைக் கொண்டுள்ளது.

* ஒவ்வொன்றிலும் 100 gate-கள் வரை ஒரு செயல்படுகின்ற தன்மைக் கொண்டது.

* CPLD ஆனது 1000 macrocell-களைக் கொண்டுள்ளது.

* ஒவ்வொன்றிலும் 20,000 வரை gate-கள் செயல்படுகின்ற தன்மையைக் கொண்டுள்ளது.

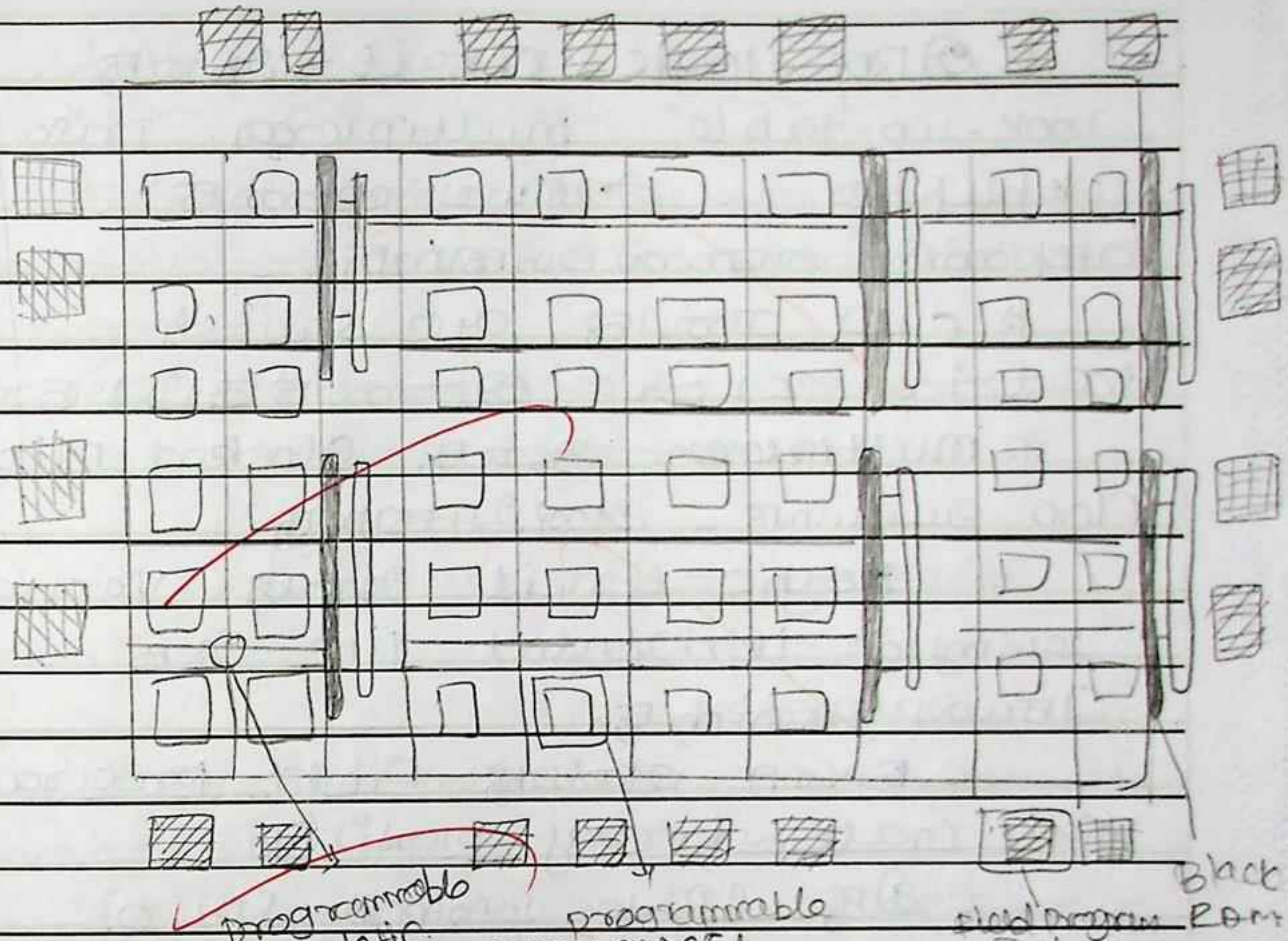
* இதைவிடவும் பெரிய logic circuit-களை பயன்படுத்த வேண்டுமெனில் Field programmable logic gate array ஆனது பயன்படுகிறது.

* FPGA ஆனது மாறுபட்ட வகை Chip-ல் பயன்படுகிறது.

* FPGA-கள் SPLD மற்றும் CPLD வகை Chip-ல் இருந்து மாறுபட்டு காணப்படும்.

* AND அல்லது OR plane-களைக் கொண்டிருக்காது.

* FPGA-வில் logic circuit ஆனது கொடுக்கப்பட்டுள்ளது.



* FPGA மாடுகள் ஒருங்கமைந்த programmable Read only memory (or) PLA, PAL போன்ற logic circuit-களைக் கொண்டுள்ளது.

* Programmable logic: இது Logic செயல்களை செய்வதற்கான பகுதியாகும்.

* Programmable Interconnect: இது routing-ஐ செயல்படுத்தும் பகுதியாகும்.

* இந்த logic circuit ஆனது look-up-table, multiplexer, Tristate
* buffer, ஆகியவற்றைக் கொண்டு செயல்படுகிறது.
* CLB என்பது ஒரு switch matrix உடன் இணைக்கப்பட்டுள்ளது.
* multiplexer ஆனது Clocked flip flop மூலமாக அனுப்புகிறது.
* Logic circuit ஆனது vertical மற்றும் horizontal line ஆக செயல்படுகிறது.
* FPGA என்பது field programmable logic Gate Array எனப்படும்.
* இது CPLD மற்றும் SPLD உள்ள Chip-ல் இருந்து மாறுபட்டுக் காணப்படும்.
* இதைத் திரும்ப திரும்ப program செய்துக் கொள்ளலாம்.
* இது ஒரு அமைப்பின் மேல் மாற்றங்களை செயல்படும்.
* அதிக frequency-ல் செயலாற்றும் தன்மைக் கொண்டது.
* Digital Design-ல் மட்டுமே பயன்படுத்தப்படுகிறது.
* Power consumption ஆனது அதிகமாக இருக்கும்.

Advantages of FPGA.

* இது திரும்ப எத்தனை தடவை வேண்டுமானாலும் program செய்துக் கொள்ளலாம்.
* நம் எண்ணத்திற்கும் இதனை control செய்துக் கொள்ளலாம்.
* FPGA-ஐ IC குறைந்த விலையில் கிடைக்கிறது.
* அதிக consumption இல்லாமல் power எடுத்துக்கொள்ளாது.
* board-ல் உள்ள சிறப்பாக இருக்கும்.

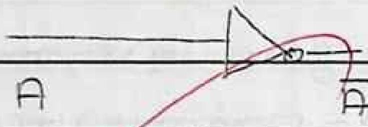
12

Disadvantages of FPGA.

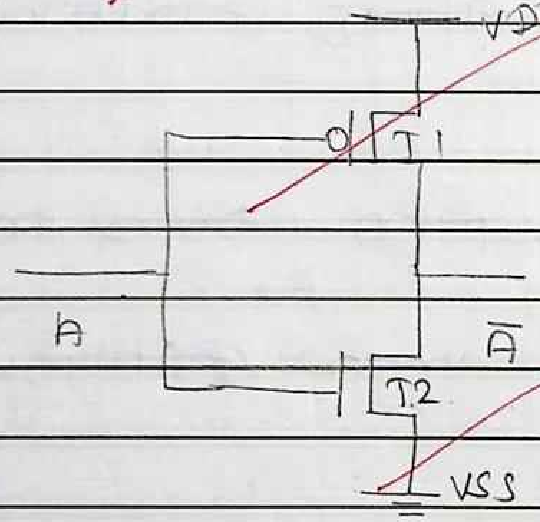
* அதிக frequency-ல் செயல்பாடுகள் கடினம்.
* unit-ன் காலம் குறைந்த நிலையாக இருக்கும்.

PART-A.

1) Draw NOT gate using CMOS.



I/P	O/P
A	$\bar{A}$
0	1
1	0



I/P	Tr		O/P
A	T1	T2	$\bar{A}$
0	ON	OFF	1
1	OFF	ON	0

2) Define routing.

Placement-ல் Component-களை Place செய்யப்பட்டுள்ளது. பின்பு அது Interconnection wire இடையே execute செய்யப்படுகிறது. இது routing எனப்படும்.

4. Give an example for if else statement.

```
if (A=0) then
    y<='1';
else
    y<='0';
end if;
```

Example
i) NOT gate.

5) Write the truth table for single bit comparator.

A	B	A = B	A > B	A < B
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

6. write short notes on 2 to 4 decoder.

2 → input 4

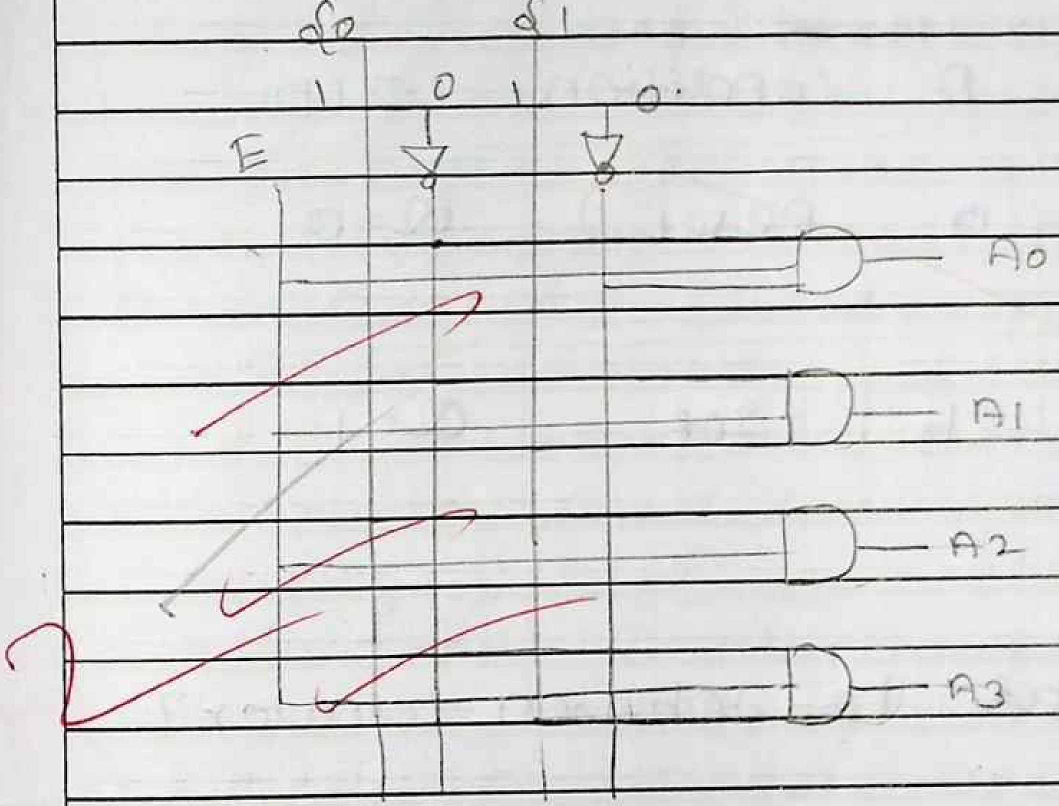
less no. of i/p
many no. of o/p

2 : n
n → Num of selection line
(or)
Address line.
n → depends of Num of o/p

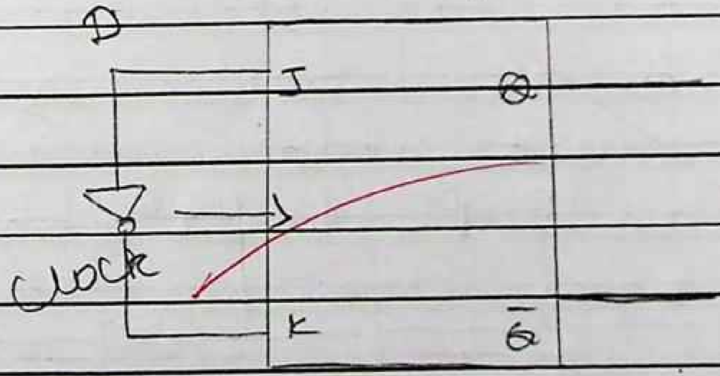
2 : 4.

2 → input → X, Y
4 → output → A0, A1, A2, A3

E	X	Y	A0	A1	A2	A3
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1
0	x	x	0	0	0	0

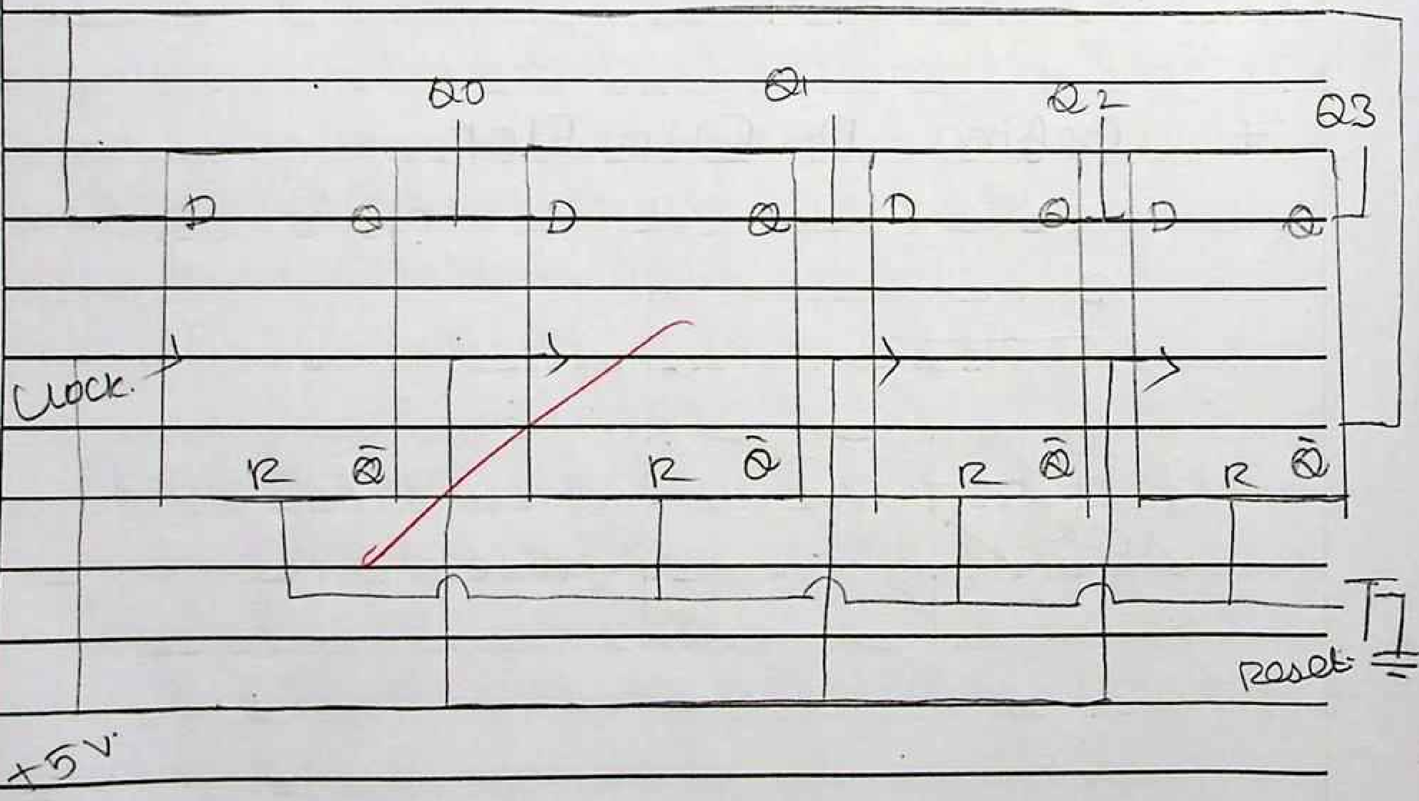


7. Define D- Flip Flop.



Clock	D	Condition	O/P
	0	Reset	Q=0
	1	Set	Q=1

8. What is Johnson counter?



* Johson counter என்பது Ring counter போன்றே தான் இருக்கும். சில மாற்றங்கள் செய்து தான் இருக்கும்.
* Q3 என்ற output ஆனது D Flip Flop -க்கு Input - ஆக கொடுக்கப்படுகிறது. output
* Q0 என்ற output ஆனது அடுத்த Flip Flop -க்கு Input ஆக கொடுக்கப்படுகிறது. output
* Q1 என்ற output ஆனது அடுத்த Flip Flop -க்கு Input ஆக கொடுக்கிறது.
* Q2 என்ற output ஆனது அடுத்த Flip Flop -க்கு Input ஆக கொடுக்கிறது.
* இது Johnson counter எனப்படும்.

9. Write Short notes on CPLD.

* நிறைய அனைத்து லாஜிக் logic device-களை PAL (a) PLA ஆனது பயன்படுத்துகிறது.
* அதிக அளவு அனைத்து லாஜிக் Input-களை உடைய device ஆனது CPLD எனப்படும்.

* CPLD ஆனது complex Programmable logic device எனப்படும்.

* CPLD என்பது ஒரு தனி chip-ல் பொருத்தப்பட்ட circuit-களைக் கொண்டிருக்கும்.
* CPLD என்பது நான்கு circuit block-களைக் கொண்டது.
* இது PAL (or) PLA block-களைக் கொண்டுள்ளது.
* இது PAL like block என அழைக்கப்படுகிறது.
* CPLD ஆனது Input (or) output block ஆனது ஒரு subcircuit உடன் இணைக்கப்பட்டிருக்கும்.
* CPLD ஆனது ஒரு trisate buffer, Multiplexer, flip flop கொண்டுள்ளது.

10. Write short notes on ASIC.

* ASIC → Application specific Integration circuit ஆகும்.
* ஒரு குறிப்பிட்ட application-களில் பயன்படுத்தப்படுகின்ற ic chip ஆகும்.
* இவை திரும்ப program செய்ய முடியாது.
* Power consumption அளவு குறைவாக இருக்கும்.

* இது சில Application-களில் பயன்படுகிறது.
* அதிக frequency-ல் செயல்படக் கூடியது.
* Analog / mixed signal-ல் வேலையாக செயல்படுகின்றது.
* இதன் sales-காலம் குறைந்ததாக இருக்கும்
* Unit விலை-ல் குறைவு

Extra questions.

1Q) a) Explain case statement in VHDL with an example.

7. Write the syntax for process statement.

begin
signal assignment statement
wait statement
Null statement
Open statement.

Extra questions.

1Q. b) Explain about case statement. in VHDL with an Example.

```
begin
        process (A, B, C, D, S)

begin
        case S is

        when "00" => y <= 'A';
        when "01" => y <= 'B';
        when "10" => y <= 'C';
        when "11" => y <= 'D';
        when other => Null;

end case;
end process;
end architecture;
```

0 (extra)

13. b) Describe about 4 to 1 mux

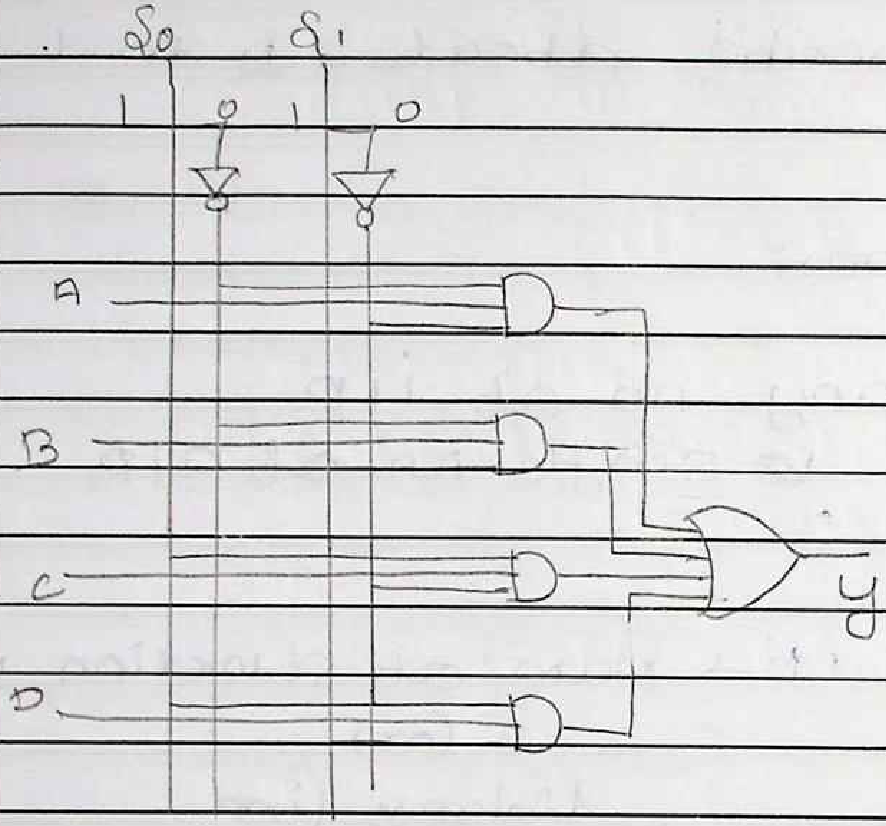
Multiplexer:

many no. of I/P
to single no. of O/P.

2:n
n → Num of selection line
(or)
Address line.
n → Depends of Num of O/P.

4 : 1
4 → I/P → A, B, C, D
1 O/P → Y

I/P	S_0	S_1	O/P (Y)
A	0	0	A
B	0	1	B
C	1	0	C
D	1	1	D



Program:

```
library ieee;
use. ieee- Std- logic- 1164 . all;
use. ieee - Std- logic - arith. all;
use. ieee- Std- logic- unsigned all;
entity multiplexer is

port. ( A, B, C, D : in-std-logic;
S : in-std-logic-vector
(3 downto 0);
y : out-std-logic;
end entity;
architecture behavioral of mux is
```

begin

process (A, B, C, D, S)

begin

case S is

when "00" => y <= A;
when "01" => y <= B;
when "10" => y <= C;
when "11" => y <= D;

when others => null;

end case;
end process;
end architecture;

14) b) write a VHDL program for 3 bit up / down counter.

program.

library ieee;
use.ieee-std-logic-1164.all;
use. ieee-std-logic-arith.all;

```
use.ieee.std_logic_unsigned.all;
entity up/down counter is
                              mode
        port(clock, Reset: in std_logic;
                Q : out std_logic);
end entity;
architecture behavioral of up/down
                counter is.
begin
        process (clock, Reset, mode)

begin
        if (Reset = '1') then
            Q <= '0';
elsif clock 'event and clock = '1' then
        if (mode = '1') then
        count := count + 1
else
        count := count - 1

endif;
endif;
end case;
end process;
end architecture;
```

(Error)

12/2/25
CHIEF COORDINATOR
Government Polytechnic College
Kadathur
Dharmapuri District-635303