

For Office use	Space for Digital Data
----------------	------------------------

தமிழ் நாடு அரசு
 தொழில்நுட்பக் கல்வித் துறை, சென்னை 600 025 - வாரியத் தேர்வுகள்
 அடுத்தப் பக்கத்தில் கொடுக்கப்பட்டுள்ள குறிப்புகளை படிக்கவும் (Read the instructions given in the next page)

Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C
1.				9.				17.				25.			
2.				10.				18.				26.			
3.				11.				19.				27.			
4.				12.				20.				28.			
5.				13.				21.				29.			
6.				14.				22.				30.			
7.				15.				23.				31.			
8.				16.				24.				Total Marks			

For Revaluation

For Central Valuation															
Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C	Q. No.	A	B	C
1.	3			9.	3			17.				25.			
2.				10.	1			18.				26.			
3.	1			11.	4			19.				27.			
4.	1			12.	14			20.				28.			
5.	1			13.	12			21.				29.			
6.	1			14.	12			22.				30.			
7.	3			15.	4	(2) extra		23.				31.			
8.	0			16.				24.				Tot			
												591-2242-23404563			
10												50			

Question Paper Code No. வினாத்தாளின் குறியீட்டு எண்	2 2 4 2	No. of Pages Written எழுதப்பட்ட பக்கங்களின் எண்ணிக்கை	20
--	---	--	---

Date of Examination : 16/11/2024 தேர்வு நாள்
 Subject Name : Very large Scale Intergration
 பாடத்தின் பெயர்

Program:

```

Library ieee;
use ieee - std - logic - 1164 . all;
use ieee - std - logic - Arith . all;
use ieee - Std - logic - unsigned . all;
entity AND gate is
  port (A, B : in - std - logic;
        Y : out - std - logic);
end entity;
```

தேர்வாளர்களுக்கான அறிவுரைகள்
INSTRUCTIONS TO CANDIDATES

1. விடைத்தாள் மாற்றிப் பெறுவதற்கு.

Get the answer book replaced, if

- விடைத்தாள் சரியாக சேர்ந்து பின் செய்யப்படாமல் இருந்தால்.
- it is not stapled properly
- விடைத்தாள் புத்தகப் பக்கங்களில் வரிசை எண் விடுபட்டிருந்தாலோ அல்லது வரிசையாக இல்லாமலிருந்தாலோ (மொத்தம் 30 பக்கங்கள்).
- the page numbers are missing or not in order (there shall be 30 pages continuously numbered)
- தலைப்பு பக்கத்தில் விடைத்தாள் புத்தகத்தின் கீழ்பகுதியில் வரிசை எண் அச்சிடப்படாமலிருந்தால்.
- the serial number of the answer book is not printed at the bottom of the title page

2. உங்களுடைய பதிவு எண்ணையும், பெயரையும் அதற்காக கொடுக்கப்பட்டுள்ள தலைப்பு பக்கத்தின் கீழ்பகுதியில் மட்டும் எழுதவும்; அதைத் தவிர்த்து பதிவு எண், பெயர் ஆகியவற்றை விடைத்தாளில் மற்றப் பக்கங்களில் எழுதக்கூடாது. எந்தவிதமான அடையாளக் குறியீட்டையும் விடைத்தாளில் எழுதக்கூடாது.

You are prohibited from writing your REGISTER NUMBER or NAME in any part of the answer book, other than the space provided at the bottom of the title page. You are prohibited from writing or leaving any distinguishing marks so as to identify your answer book.

3. தலைப்புப் பக்கத்தில் கொடுக்கப்பட்டுள்ள அதற்குரிய கட்டங்களில் விவரங்களை எழுதவும்.

Fill up all the particulars, in the relevant boxes, in the title page.

4. கேள்விகளுக்கு பதில் எழுதும் போது விடைத்தாளில் இரண்டு பக்கங்களையும் பயன்படுத்த வேண்டும். பக்கங்களில் தொடர்ந்து விடை எழுதாமல் வெற்றிடம் விடக் கூடாது.

Use both sides of the paper for answering questions, without leaving spaces/ lines in between.

5. இந்த விடைத்தாள் புத்தகம் போதுமான பக்கங்களை கொண்டிருக்கிறது. இதைத் தவிர கூடுதல் விடைத்தாள் அளிக்கப்படமாட்டாது.

This answer book contains sufficient pages and no additional sheets will be issued.

6. கேள்விக்கு விடையளிக்கும் முன்பு வினாத்தாள் எண், வருடம், மாதம், காலம் இவைகளை சரிபார்க்கவும்.

Check the Code Number, Month and year of Examination, Duration etc., in the question paper before answering the questions.

7. கொடுக்கப்பட்டுள்ள வரைப்படத்தாள் / கிராப் ஷீட் தவிர வேறு எந்த விடைத்தாளையும் சேர்க்க கூடாது. விடைத்தாள் புத்தகத்திலிருந்து எந்த பக்கத்தையும் கிழிக்கக் கூடாது.

No extra sheet is to be attached except the drawing/graph sheets supplied and no sheet is to be torned from the answer book.

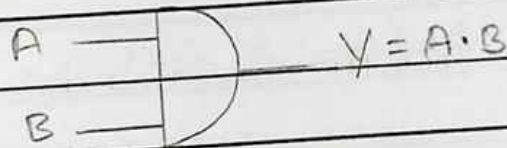
8. கைபேசி, துண்டுக் காகிதம் மற்றும் தடை செய்யப்பட்ட இதர பொருட்கள் வைத்திருத்தல், தேர்வுக்கு எதிரான முறைகேடுகளில் ஈடுபடுதல் அனைத்தும் தேர்வு வாரிய விதிகளின்படி தண்டனைக்குரிய குற்றமாகும்.

POSSESSION OF ANY PROHIBITED MATERIAL, CELL PHONE, BITS OF PAPERS, etc., AND INVOLVEMENT IN MALPRACTICE OF ANY NATURE SHALL BE PUNISHABLE AS PER BOARD'S RULES

PART-B

112) a) VHDL code for logic gates AND, OR, NOT

AND gate



i/p		output
A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

Program:

```

Library ieee;
use ieee - std - logic - 1164 . all;
use ieee - std - logic - Arith . all;
use ieee - std - logic - unsigned . all;
entity AND gate is
port (A, B : in - std - logic;
      Y : out - std - logic);
end entity;
```

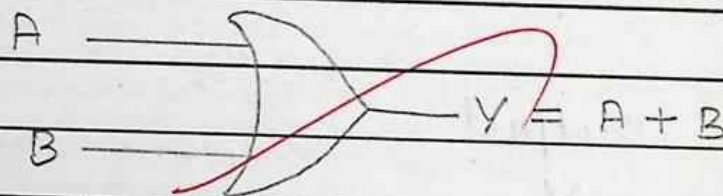


Architecture behavioral of AND gate is begin

$Y \leftarrow A \text{ AND } B;$

end architecture;

OR gate



input		output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

Program:

```

Library ieee;
use ieee - std - logic - 1164.all;
use ieee - std - logic - Arith.all;
use ieee - std - logic - unsigned.all;
  
```



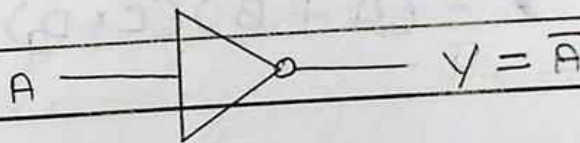

entity OR gate is
Port (A, B: in-std-logic;
Y: out-std-logic);

end entity;

Architecture behavioral of OR gate is
begin
Y <= A OR B;

end architecture;

NOT gate:



input	output
A	$\bar{A}$
0	1
1	0

Program:

Library ieee;

use ieee-std-logic-1164.all;

use ieee-std-logic-Arith.all;

use ieee-std-logic-unsigned.all;



entity NOT gate is

```
Port (A: in_std_logic;  
      Y: out_std_logic);  
end entity;
```

Architecture behavioral of NOT gate is
begin

```
Y <= NOT A;  
end architecture;
```

11) a) Function $Y = (A + B)(C + D)$ using CMOS.

PMOS + NMOS = CMOS

PMOS

(•) NAND $\rightarrow$ Parallel

(+) NOR $\rightarrow$ Series

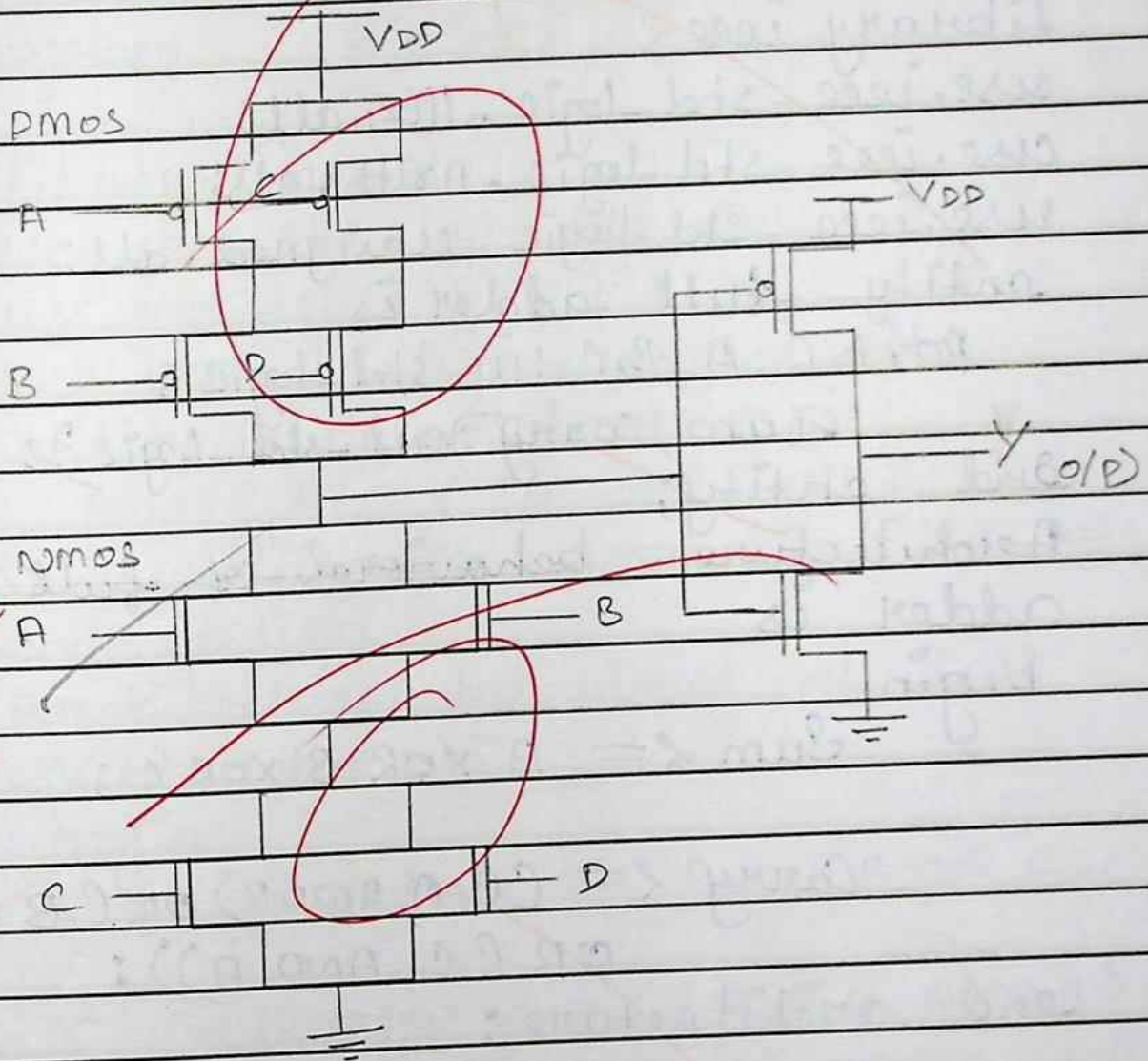
NMOS

(•) NAND $\rightarrow$ Series

(+) NOR $\rightarrow$ Parallel.



$$Y = (A + B)(C + D)$$



- 13) a) VHDL program for full adder and full subtractor.

Full adder

A, B, C $\rightarrow$ input

Sum, Carry $\rightarrow$ output



Full adder

Program:

Library ieee;

use ieee - std_logic - 1164.all;

use ieee - std_logic - Arith.all;

use ieee - std_logic - unsigned.all;

entity full adder is

port (A, B, C : in - std_logic;

Sum, carry : out - std_logic);

end entity;

Architecture behavioral of full
adder is

begin

Sum <= A XOR B XOR C;

Carry <= ((A AND B) OR (B AND
C OR (C AND A)));

end architecture;

Full Subtractor:

A, B, C → input
difference, Borrow → output



Full Subtractor:

program:

```
Library ieee;  
use ieee std-logic-1164.all;  
use ieee std-logic-Arith.all;  
use ieee std-logic-unsigned.all;  
entity full_subtractor is  
    port (A, B, C: in std-logic;  
          difference, Borrow: out std-logic);  
end entity;
```

Architecture behavioral of full
Subtractor is

begin

$\text{Difference} \leftarrow A \text{ XOR } B \text{ XOR } C;$

$\text{Borrow} \leftarrow (C \text{ AND } A \text{ AND } B) \text{ OR } (C \text{ AND } B \text{ AND } A) \text{ OR } (C \text{ AND } A \text{ AND } B);$

end architecture;



14) b) VHDL program for 3 bit up/down counter.

Program:

```
Library ieee;
use ieee - std_logic_1164.all;
use ieee - std_logic_arith.all;
use ieee - std_logic_unsigned.all;
entity up/down counter is
    Port (Clock, Reset, Mode : in - std_logic;
          Q : out - std_logic_vector -
            (2 down to 0));
```

```
end entity;
architecture behavioral of up/down
    counter is
```

```
begin
```

```
    signal count : out - std_logic_vector -
        (2 down to 0);
```

```
begin
```

```
    if (Reset = 1) then
        count <= "000";
```

```
    elsif (clock'event AND clock = 1) then
        if
```




```
begin  
  process (clock, Reset, mode)
```

```
begin
```

```
  if (Reset = 1) then
```

```
    count <= "000";
```

```
  elsif (clock'event AND clock = 1) then
```

```
    if (mode = 1) then
```

```
      count <= count + 1;
```

```
    else
```

```
      count <= count - 1;
```

```
  end if;
```

```
end if;
```

```
end process;
```

```
Q <= count;
```

```
end architecture;
```

15) a) PROM:

* PROM (Programmable Read only memory)

* AND gate → fixed (.)

OR gate → Programmable (X)



* The AND gate is connect in hard wire. (fixed (•))

* fixed means (dot •)

* Programmable means (x).

* The OR gate is connect in light wire (Programmable (x)).

PLA

* The PLA (Programmable logic array)

* AND gates $\rightarrow$ Programmable (x)

* OR gates $\rightarrow$ Programmable (x)

* The AND and OR gate is connect in light wire (programmable (x)).

* Programmable mean by (x).



PAL

* The PAL (programmable Array logic).

* The AND gate $\rightarrow$ programmable (x)

* The OR gate $\rightarrow$ fixed (.)

* fixed mean by (.) dot

* programmable mean by (x).

* The AND gate is connect in light wire (programmable (x)).

* The OR gate is connect in hard wire (fixed (.)).

PAL

PLA

PROM

PLD family.

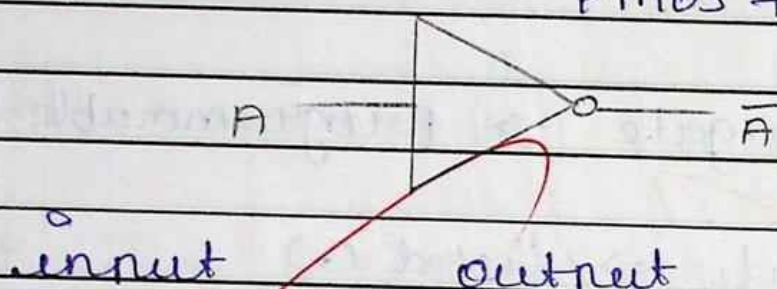
PLD (programmable logic device).



PART-A

1) NOR gate using CMOS.

PMOS + NMOS = CMOS.



input

output

A

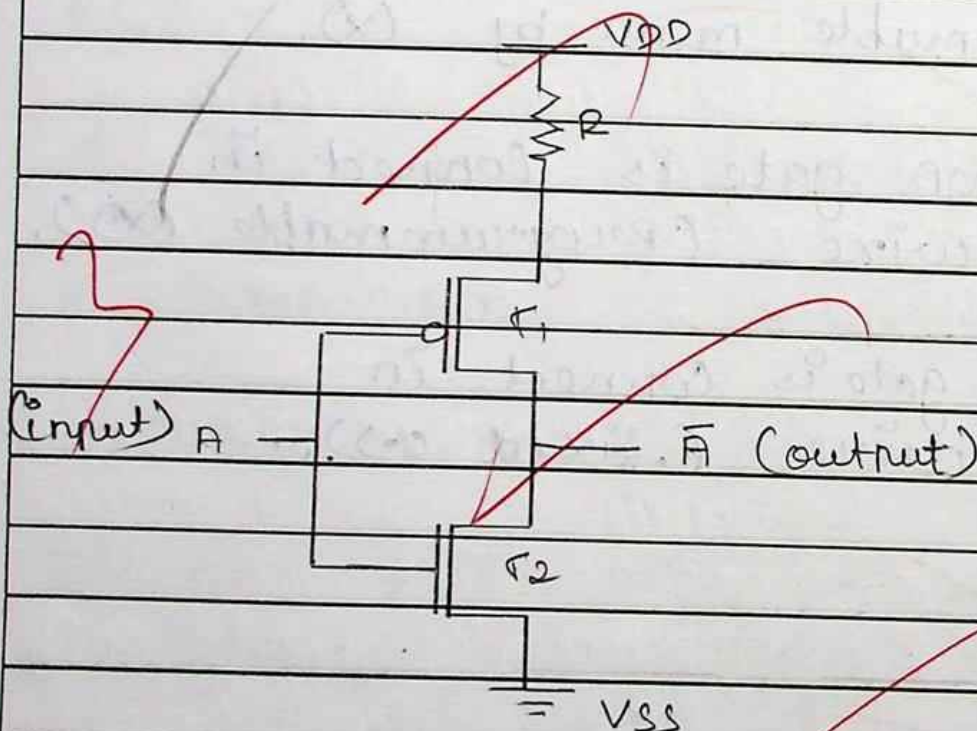
$\bar{A}$

0

1

1

0



input	Transistor		output
A	T_1	T_2	$\bar{A}$
0	ON	OFF	1
1	OFF	ON	0



4) if else statement.

Example:

Library ieee;

use ieee - std - logic - 1164 - all;

use ieee - std - logic - Arith - all;

use ieee - std - logic - unsigned - all;

entity D flip flop is

Port (D, Clock, Reset : in - std - logic;

Q : out - std - logic);

end entity;

architecture behavioural of D flip

flop is

begin

process (Clock, Reset, D)

begin

if (Reset = 1) then

Q <= "0";

elsif (Clock'event AND Clock = 1) then

if (D = 0) then

Q <= "0";

else

Q <= "1";

end if;

end if;

end process;

end architecture;



5) Single bit comparator.

truth table:

A	B	$A=B$	$A>B$	$A<B$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Input $\rightarrow A, B$

Output $\rightarrow X, Y, Z$

$$X \Leftarrow A=B \Rightarrow \bar{A}\bar{B} + AB$$

$$= A \oplus B$$

$$Y \Leftarrow A>B = \bar{A}B$$

$$Z \Leftarrow A<B = A\bar{B}$$



b) decoder.

* 2:4

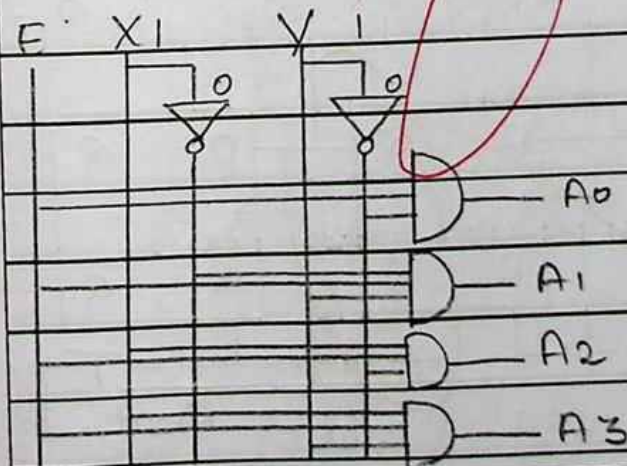
* input $\rightarrow X, Y$

* output $\rightarrow A_0, A_1, A_2, A_3$

* It is same as Demultiplexer.

* Less number of input $\rightarrow$ many number of output.

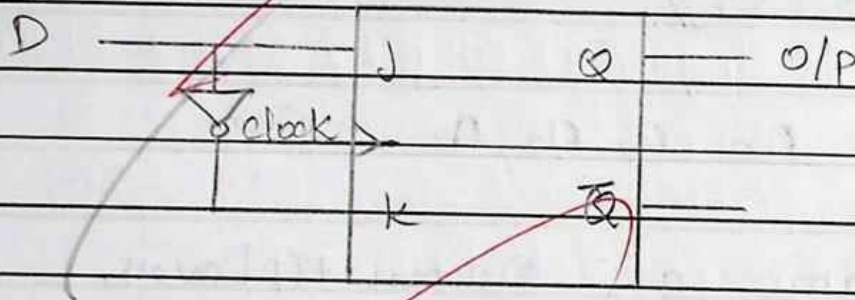
I/P		O/P			
X	Y	A_0	A_1	A_2	A_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1
X	X	0	0	0	0





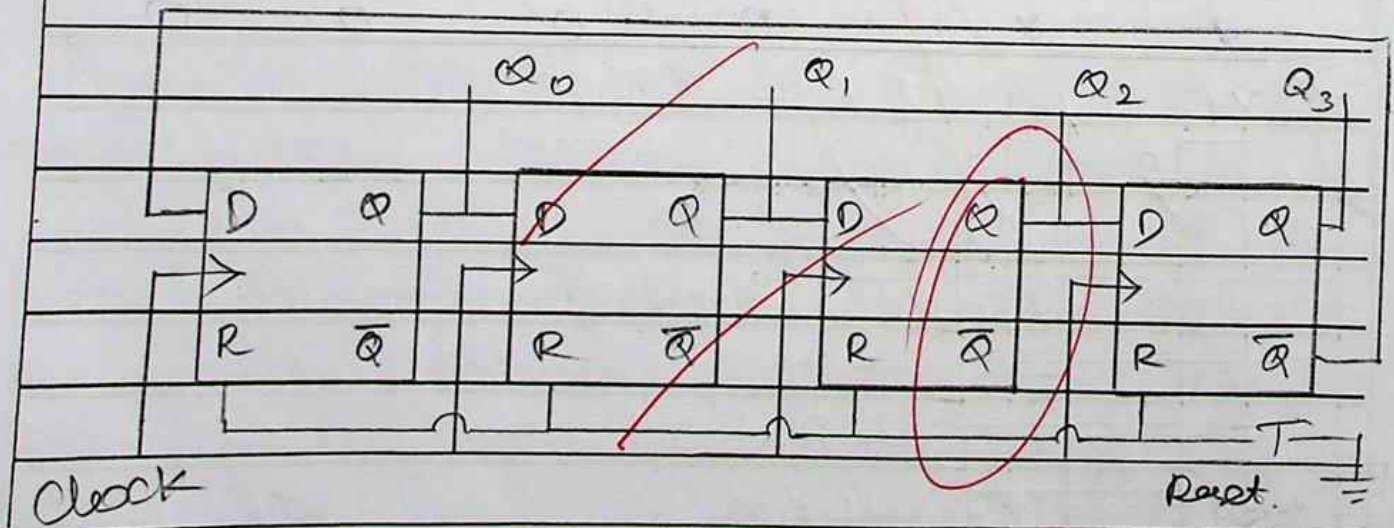
7) D flip flop

* D mean by Delay flip flop.



clock	D	Condition	output
	0	Reset	$Q = 0$
	1	Set	$Q = 1$

8) Johnson counter.





clock	Q_0	Q_1	Q_2	Q_3
-------	-------	-------	-------	-------

Reset

~~Reset~~

0	0	0	0
---	---	---	---

1st

1	0	0	0
---	---	---	---

2nd

1	1	0	0
---	---	---	---

3rd

1	1	1	0
---	---	---	---

4th

1	1	1	1
---	---	---	---

5th

0	1	1	1
---	---	---	---

6th

0	0	1	1
---	---	---	---

7th

0	0	0	1
---	---	---	---

8th

0	0	0	0
---	---	---	---



9) CPLD

* The CPLD (Complex Programmable Logic Devices)

* The CPLD inner side many number of PAL, PLA.

* The CPLD like PAL.

* The macrocell is a multiplexer, flipflop, tristate buffer.

* Then the multiplexer is a
many no. of input $\rightarrow$ single output.

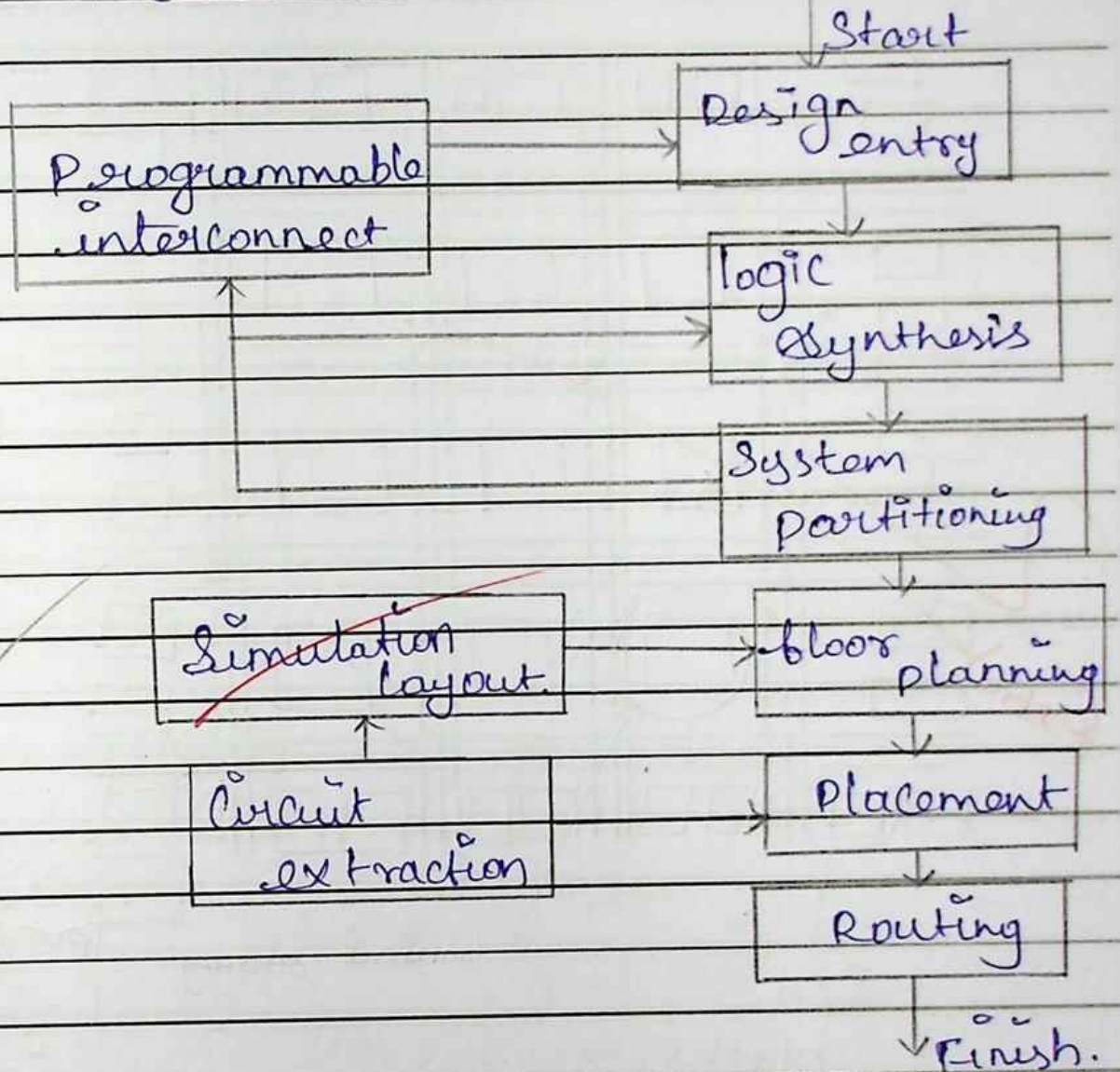
* The multiplexer single output is stored in flipflop.

* tristate buffer act as a switch.

* The PAL block are connect in interconnecting wire.



10) ASIC Flow



3) process Syntax:

PROCESS (PORT NAME of input).

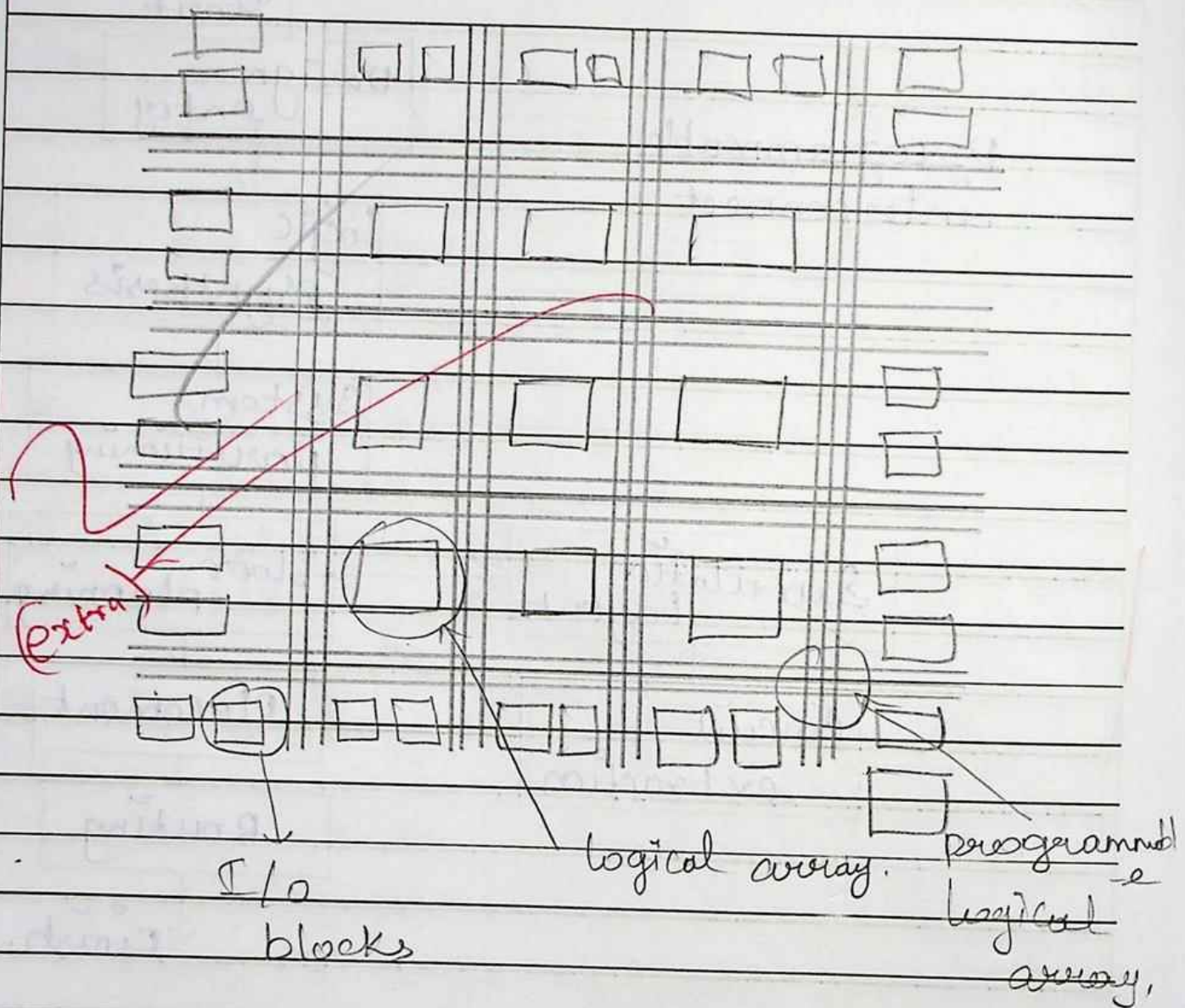
Example

process (clock, Reset)



PART-B

15) b) FPGA

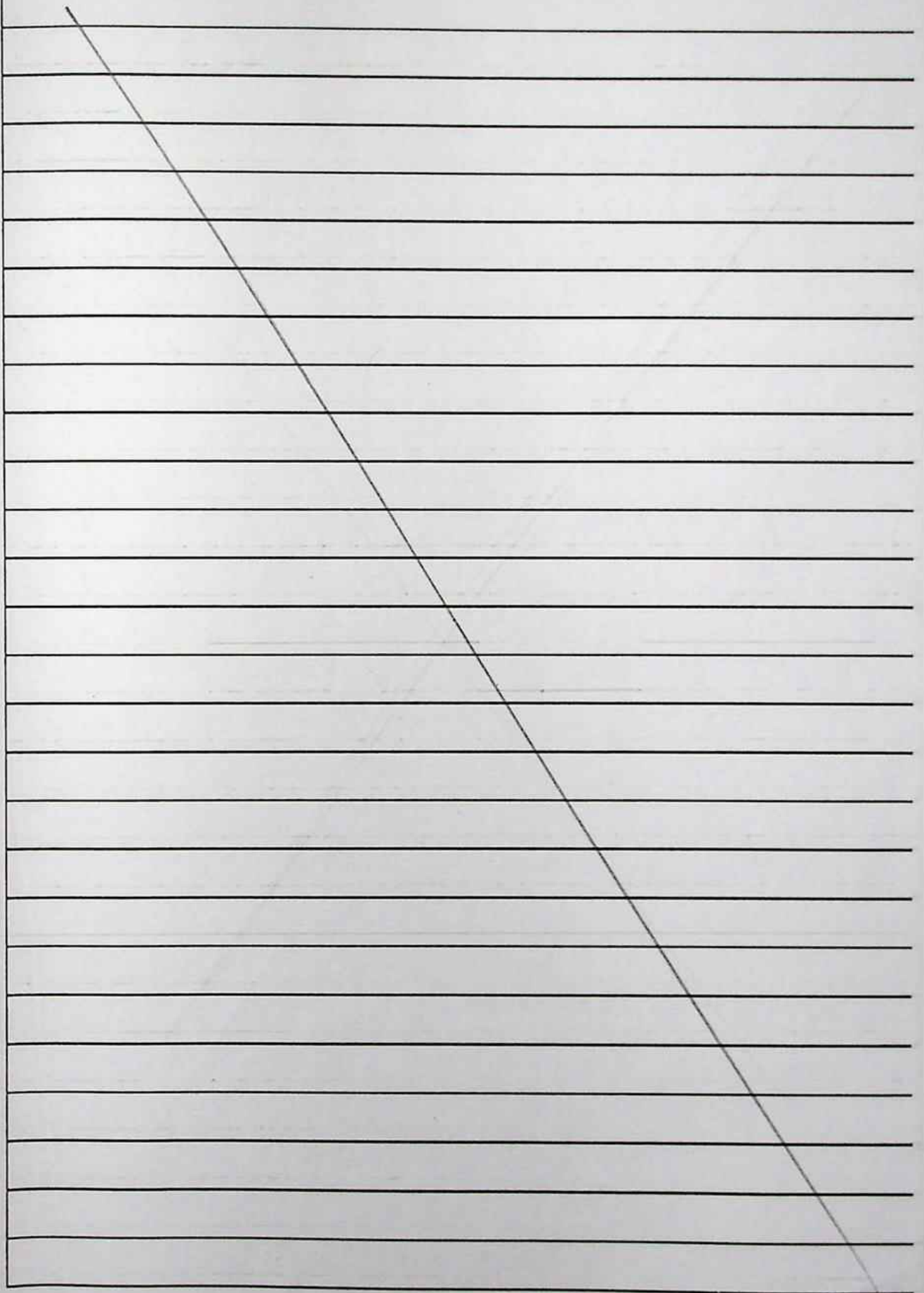


Exp. P. Praveen
12/2/15
CHIEF COORDINATOR
Government Polytechnic College
Kadathur
Dharmapuri District-635303



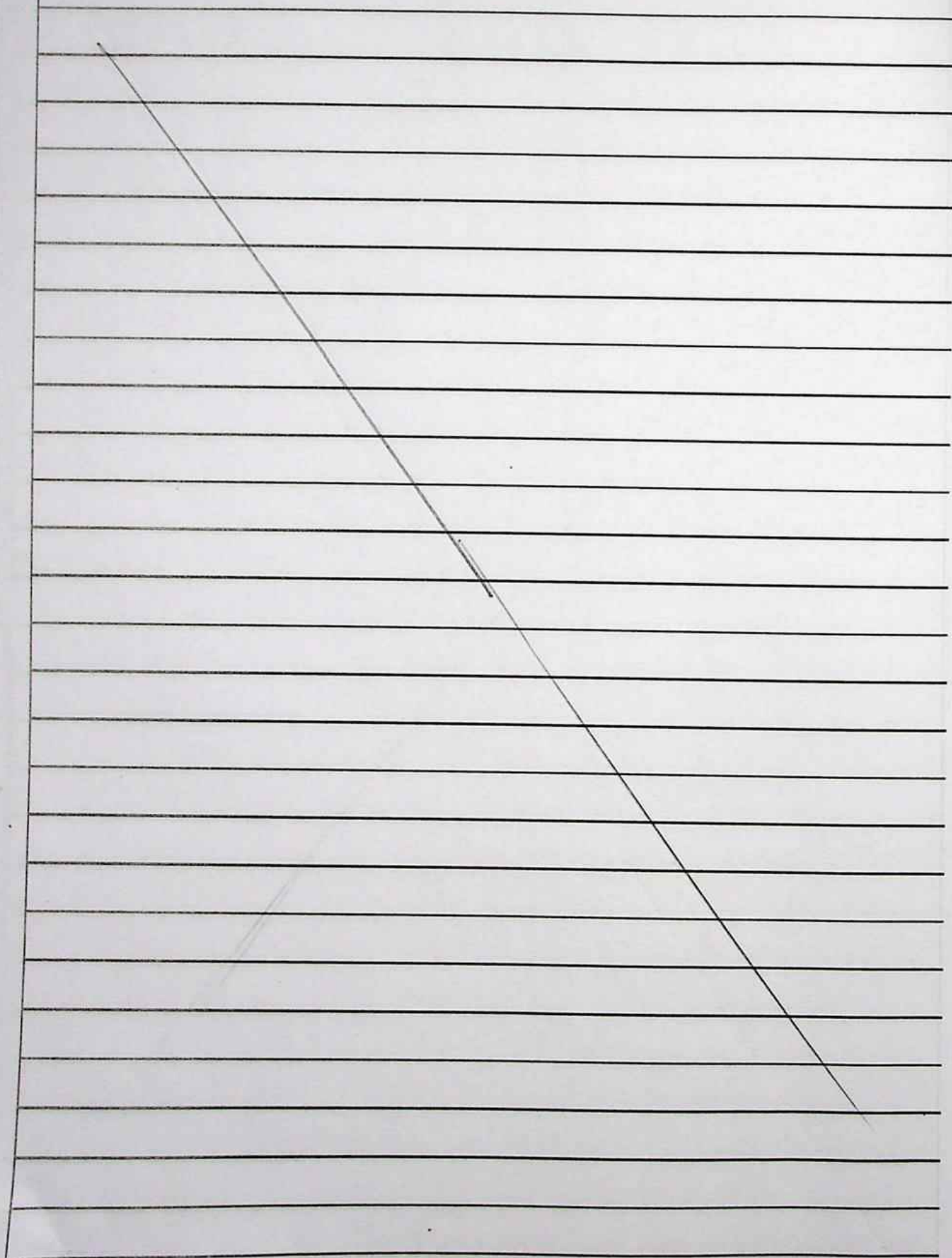
p













f

